



بهزاد ابراهیمی

استادیار

دانشکده: دانشکده مکانیک، برق و کامپیوتر

سوابق تحصیلی			
مقطع تحصیلی	سال اخذ مدرک	رشته و گرایش تحصیلی	دانشگاه
کارشناسی	۱۳۸۴	مهندسی برق-الکترونیک	دانشگاه تهران
کارشناسی ارشد	۱۳۸۸	مهندسی برق الکترونیک	دانشگاه تهران
دکترای تخصصی	۱۳۹۳	مهندسی برق الکترونیک	دانشگاه تهران

اطلاعات استخدامی				
محل خدمت	عنوان سمت	نوع استخدام	نوع همکاری	پایه
		(تنظیم نشده)	تمام وقت	

مقالات در همایش ها

- محمد وفایی پور و بهزاد ابراهیمی، طراحی مدارهای ساختارهای تمام جمع کننده هیبریدی به منظور بهبود سالخوردگی، اولین کنفرانس میکروالکترونیک ایران، تهران، ۲۰۱۹، ۱۲ ۲۵.
- محمد وفایی پور و بهزاد ابراهیمی، بررسی و بهبود اثر بی ثباتی دمایی تحت بایاس بر تمام جمع کننده های هیبریدی، اولین کنفرانس میکروالکترونیک ایران، تهران، ۲۰۱۹، ۱۲ ۲۵.
- عرفان شکوری ، بهزاد ابراهیمی ، دنیز نجفی، مشخصات نویسندگان مقاله طراحی و مقایسه سلول های FinFET SRAM برای داشتن قابلیت نوشتن بالا، اولین کنفرانس میکروالکترونیک ایران، تهران، ۲۰۱۹، ۱۲ ۲۵.
- R. Asadpour , B. Ebrahimi , A. Afzali , Kusha. Robust SRAM Cells Based on Asymmetric Nanoscale FinFET. the Nanotechnology Student Conference. ۲۰۱۳.
- B. Ebrahimi , A. Afzali , Kusha. FinFET SRAM Design using Dynamic Back-Gate Bias. the Nanotechnology Student Conference. ۲۰۱۳.
- B. Ebrahimi , A. Afzali , Kusha. double gate based SRAM design using back gate voltage. the Nanotechnology Student Conference. ۲۰۰۸.
- M. Moradinasab , B. Ebrahimi , M. Fathipour , B. Foroozandeh. A compact physical model for subthreshold current in nanoscale FD/SOI MOSFETs. International Conference on Electronic Materials. ۲۰۰۸.
- Deriving a compact model for current-voltage in carbon nanotube, H. Hosseinzadegan و سایر، Proceedings of the Iran Physics Conference. ۲۰۰۷.
- K. Mehrabi , B. Ebrahimi , A. Afzali , Kusha , A Robust And Low Power 7 transistors SRAM Cell . Design , the International Symposium on Computer Architecture & Digital Systems , pp. 1-6 , 2015.

- R. Yarmand et al. ,High Performance and High Yield 5 nm Underlapped FinFET SRAM Design .10
Using P type Access Transistors ,the International Symposium on Quality Electronic Design
.,2015
- B. Ebrahimi , A. Afzali , Kusha , N. Sehatbakhsh ,Robust Polysilicon Gate FinFET SRAM .11
Design using Dynamic Back-Gate Bias ,the International conference on Design & Technology of
.Integrated Systems in nanoscale era ,pp. 208-209 ,2013
- B. Ebrahimi , A. Afzali , Kusha ,"Analysis of SRAM Cell Characteristics Based on High-k Metal- .12
Gate Strained Si/Si1-xGex MOSFET with Consideration of NBTI/PBTI ,the International
Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit
.Design ,pp. 137-140 ,2012
- Low Power and Robust 8T/10T Subthreshold SRAM Cells ,International Conference on .13
Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design ,pp.
.141-144 ,2012
- B. Ebrahimi , R. Asadpour , A. Afzali , Kusha ,Low-Power and Robust SRAM Cells Based on .14
Asymmetric FinFET Structures ,the Asia Symposium on Quality Electronic Design ,pp. 41-46
.,2012
- M. Saremi , B. Ebrahimi , A. Afzali , Kusha ,Ground Plane SOI MOSFET based SRAM With .15
consideration of process variation ,the IEEE International Conference on Electron Devices and
.Solid-State Circuits ,pp. 1-4 ,2010
- B. Ebrahimi , H. Aghababa , A. Afzali , Kusha ,Analytical modeling of read stability metric of .16
SRAM cell in nanoscale era ,IEEE International Conference on Electron Devices and Solid-State
.Circuits ,pp. 1-4 ,2010
- M. Saremi, B. Ebrahimi , A. Afzali , Kusha , M. Saremi ,Process variation study of ground .17
.plane SOI MOSFET ,the Asia Symposium on Quality Electronic Design ,pp. 66-69 ,2010
- B. Ebrahimi , A. Afzali , Kusha ,Realistic CNFET based SRAM cell design for better write .18
.stability ,the Asia Symposium on Quality Electronic Design ,pp. 14-18 ,2009
- A. Ahmadimehr , B. Ebrahimi , A. Afzali , Kusha ,A high speed subthreshold SRAM cell design .19
.,the Asia Symposium on Quality Electronic Design ,pp. 9-13 ,2009
- B. Ebrahimi , A. Afzali , Kusha ,NBTI tolerant 4T double-gate SRAM design ,Int'l Conference .20
.on Ultimate Integration of Silicon ,pp. 221-224 ,2009
- S. Zeinolabedinzadeh , B. Ebrahimi , A. Afzali , Kusha ,Vth-control method in double gate field .21
effect transistor domino ,the Int'l Conference on Ultimate Integration of Silicon ,pp. 297-300
.,2009
- M.Moradinasab , B. Ebrahimi , M. Fathipour ,A compact physical model for subthreshold .22
current in nanoscale FD/SOI MOSFETs ,the Int'l Conference on Ultimate Integration of Silicon ,pp.
.321-324 ,2009
- B. Ebrahimi , S. Zeinolabedinzadeh , A. Afzali , Kusha ,Low power and robust FinFET based .23
.SRAM design ,the IEEE Computer Society Annual Symposium on VLSI ,pp. 185-190 ,2008
- M. Rostami , B. Ebrahimi , A. Afzali , Kusha ,Design centering scheme for robust SRAM cell .24
design ,the International Conference on Computer and Communication Engineering ,pp. 871-877
.,2008
- F. Jazayeri et al. ,Pseudo-linear automatic gain control system based on nanoscale field .25
.effect diode and SOI-MOSFET ,the International Design and Test Workshop ,pp. 154-158 ,2008

مقالات در نشریات

1. K. Mehrabi و سایرین، Read static noise margin aging model considering SBD and BTI effects for FinFET SRAMs. Elsevier Microelectronics Reliability مجلد ۶۵، شماره صفحات ۲۰-۲۶، ۲۰۱۶، ۲۶.
۲. B. Ebrahimi و M. Asad. A normally-off fully AlGaN HEMT with high breakdown voltage and figure of merit for power switch applications. Elsevier Superlattices and Microstructures مجلد

۸۳، شماره صفحات ۸۱۹-۲۰۱۵، ۲۰۲۶.

۳. M. Ansari و سایر، A Near-Threshold 1T SRAM Cell with High Write and Read Margins and Low Write Time for Sub-20 nm FinFET Technologies. Elsevier Integration, the VLSI Journal مجلد ۱۰۶، شماره صفحات ۹۱-۲۰۱۵، ۲۰۲۶.
۴. B. Ebrahimi , A. Afzali , Kusha , H. Mahmoodi.& Robust FinFET SRAM design based on dynamic back-gate voltage adjustment. Elsevier Microelectronics Reliability مجلد ۵۴، شماره ۱۱، شماره صفحات ۲۶۱۲، ۲۰۱۴-۲۶۰۴.
۵. A single-ended low leakage and low voltage 10T SRAM cell with high yield, Analog Integrated Circuits and Signal Processing, 2020 8 8.
۶. G. Pasandi et al., Low-power data encoding/decoding for energy-efficient static random access memory design, IET Circuits, Devices & Systems, 2019 8 7.
۷. S. Sayyah et al., A low-leakage and high-writable SRAM cell with back-gate biasing in FinFET technology, Journal of Computational Electronics, 2019 3 28.
۸. A FinFET SRAM cell design with BTI robustness at high supply voltages and high yield at low supply voltages, Wiley International Journal of Circuit Theory and Applications, Vol. 43, No. 12, pp. 2011-2024, 2015.
۹. An analytical model for read static noise margin including soft oxide breakdown, negative and positive bias temperature instabilities, Elsevier Microelectronics Reliability, Vol. 53, No. 3, pp. 670-675, 2013.
۱۰. Modeling read SNM considering both soft oxide breakdown and negative bias temperature instability, Elsevier Microelectronics Reliability, Vol. 52, No. 12, pp. 2948-2954, 2012.
۱۱. Probability calculation of read failures in nano-scaled SRAM cells under process variations, Elsevier Microelectronics Reliability, Vol. 52, No. 11, pp. 2805-2811, 2012.
۱۲. Calculation of on-state I-V characteristics of LDMOSFETs based on an accurate LDD resistance modeling, Elsevier Superlattices and Microstructures, Vol. 52, No. 3, pp. 560-576, 2012.
۱۳. G4-FET modeling for circuit simulation by adaptive neuro-fuzzy training systems, IEICE Electronics Express, Vol. 9, No. 10, pp. 881-887, 2012.
۱۴. A RESURF LDMOSFET with dummy gate on partial SOI, Springer Journal of the Korean Physical Society, Vol. 60, No. 5, pp. 842-848, 2012.
۱۵. An accurate analytical I-V model for sub-90-nm MOSFETs and its application to read SNM modeling, Springer Journal of Zhejiang University-SCIENCE C (Computers & Electronics), Vol. 13, No. 1, pp. 58-70, 2012.
۱۶. Statistical design optimization of FinFET SRAM using back-gate voltage, IEEE Trans. on VLSI Systems, Vol. 19, No. 10, pp. 1911-1916, 2011.
۱۷. A partial-SOI LDMOSFET with triangular buried-oxide for breakdown voltage improvement, Elsevier Microelectronics Reliability, Vol. 51, No. 12, pp. 2069-2076, 2011.